

**METHOD FOR DIRECT ATTACHMENT BONDING SEMICONDUCTOR CHIPS**

Patent Number: KR2000046722  
Publication date: 2000-07-25  
Inventor(s): KIM WON GYU [KR]  
Applicant(s): LG ELECTRONICS INC  
Requested Patent: ☐ KR2000046722  
Application Number: KR19980063439 19981231  
Priority Number(s): KR19980063439 19981231  
IPC Classification: H01L21/60  
EC Classification:  
Equivalents:

---

**Abstract**

---

---

Data supplied from the esp@cenet database - I2

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. 6  
H01L 21/60

(11) 공개번호 특2000-0046722  
(43) 공개일자 2000년07월25일

(21) 출원번호 10-1998-0063439  
(22) 출원일자 1998년12월31일

(71) 출원인 엘지전자 주식회사 구자홍  
서울특별시 영등포구 여의도동 20번지  
(72) 발명자 김원규  
경기도 수원시 팔달구 영통동 태영아파트 933동 1701호  
(74) 대리인 김종화  
오승건

심사청구 : 있음

(54) 반도체 베어칩의 다이렉트 어태치 본딩 방법

요약

본 발명은, 패키지를 하지 않은 상태의 베어 칩(Bare Chip)과 회로기판을 직접 다이렉트 어태치 본딩하는 기술에 관한 것으로서, 베어칩(1)과 전기적 접속을 하는 회로기판(7) 패턴패드(7) 위에 솔더범프(3)를 형성한 후 그 위에 도포기(17)를 이용하여 이방성 도체 페이스트(Anisotropic Conductive Paste)(16)를 도포하고, 그 위에 베어칩(1)을 마운팅하여 경화시키어, 베어 칩의 외부전극과 회로 기판의 전극 패턴간의 전기적 접속을 완성하는 방법이다.

대표도

도12

명세서

도면의 간단한 설명

도 1 내지 도 7은 종래의 반도체 베어 칩의 다이렉트 어태치 본딩 공정도  
도 8 내지 도 10은 베어칩의 도전성 접착제의 전사 공정도  
도 11 내지 도 14 는 본 발명의 반도체 베어 집적회로 다이렉트 어태치 본딩 공정도  
도 15 내지 도 18 은 본 발명에서 솔더 범프의 형성 공정도  
도면의 주요 부분의 부호의 설명  
1 : 반도체 베어 칩 2 : 전극  
6 : 패턴패드 7 : 회로기판  
3, 19 : 솔더범프 16 : 이방성 도체 페이스트  
22 : 도전 입자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은, 패키지를 하지 않은 상태의 베어 칩(Bare Chip)과 회로기판을 직접 다이렉트 어태치 본딩하는 기술에 관한 것으로서, 특히 접속할 기판의 패드 위에 솔더 범프를 형성시킨 후, 반도체 베어칩을 다이렉트 어태치하여 접속시키는 반도체 베어 칩 다이렉트 어태치 본딩 방법에 관한 것이다.

반도체 집적회로와 회로기판의 패턴과의 사이에 전기적 접속을 위한 방법으로서, 반도체 집적회로를 패키지지 않고 베어칩 그대로를 직접 회로기판과 접속하는 다이렉트 어태치 본딩 공정은, 도 1 내지 도 7에 도시된 바와 같이, 반도체 베어칩(1)의 AI 패드(2) 위에 스타터 범프(3)를 형성한 후, 균일한 높이를 유지하기 위하여 지그(4)를 이용하여 범프 레벨링(Levelling)을 실시하고 그 이후, 상기 범프(3)위에 도전성 접착제를 전사방법을 이용하여 공급한 다음, 회로기판(7)의 접속 패턴(6)과 가열 가압하여 접합시킨 후, 베어칩(1)과 기판(7)간의 갭에 수지를 충전(언더필링)하고 경화시킨다.

한편, 상기 도전성 접착제의 전사방법은 도 8 내지 도 10에 도시된 바와 같이, 도전성접착제(5)가 수용된 용기(12)에 베어칩(1)의 범프(3)를 담그어서 이루어진다.

이와 같이, 반도체 베어 칩의 AI 패드 위에 스타터 범프를 형성하는 방법은 Au 와이어 선단에 아크 방전을 통해 볼을 형성한 다음, 열과 압력 그리고 초음파 진동으로 AI 패드의 산화막을 파괴하여 AI 신생면과 Au간의 금속간화합물이 형성하여 접속하기 때문에 어레이 타입(Array Type)의 다핀 대응 패드를 갖는 IC에는 IC상의 회로 손상 때문에 적용할 수 없으며, 접착제 전사의 경우 범프 위에 적량의 접착제를 컨트롤하기가 쉽지 않고, 또, 회로기판 패턴과 접속시 수지로 언더필링(Underfilling)을 하는 공정에 있어서 수지를 충전하는 방법이 매우 까다로우며, 시간이 과도하게 소비되며, 불완전한 충전시 검화공정에서 기포의 폭발로 인한 파손 현상으로 인해 불량 발생이 용이하여 품질과 생산성, 비용 측면에 있어서 많은 단점을 갖고 있다.

### 발명이 이루고자하는 기술적 과제

본 발명은 이러한 종래 기술의 문제점을 해결하기 위한 것으로, 접속할 기판의 패드 위에 솔더 범프를 형성시킨 후, 반도체 베어칩을 다이렉트 어태치하여 접속하여, 베어칩의 외부전극과 회로기판의 전극 패턴간의 전기적 접속을 간단히 완성할 수 있는 반도체 베어칩의 다이렉트 어태치 본딩 방법의 제공을 목적으로 한다.

### 발명의 구성 및 작용

본 발명의 반도체 베어 칩 다이렉트 어태치 본딩 방법은, 도 11 내지 도 14에 도시된 바와 같이, 반도체 베어칩(1)과 전기적 접속을 하는 회로기판(7) 패턴패드(7) 위에 솔더범프(3)를 형성한 후 그 위에 도포기(17)를 이용하여 이방성 도체 페이스트(Anisotropic Conductive Paste)(16)를 도포하고, 그 위에 베어칩(1)을 마운팅하여 경화시키어, 베어 칩의 외부전극과 회로기판의 전극 패턴간의 전기적 접속을 간단히 완성하는 방법이다.

상기 이방성 도체 페이스트(16)는, 파인피치(Fine pitch)의 전극부의 전기적 접속을 위하여 사용되는 것으로서, 직경이 3~10 $\mu$ m의 많은 도전입자(22)를 액체 형태의 수지에 분산시킨 구조물로 정의한다.

상기 이방성 도체 페이스트(16)의 도포는, 도포기(17)를 이용하여 진공의 적정 제어로 적량 간단히 도포한다. 상기 도포의 정도는 기판 위의 다른 혼재 부품에 영향을 주지 않는 정도로 양호하게 도포할 수 있다. 회로기판 패턴 패드에 이방성도체 페이스트의 도포가 완료된 다음, 기판과 반도체 베어 칩을 미리 카메라로 위치 인식시켜 놓고, 그 인식 위치에 마운팅하므로써 회로기판과 반도체 베어칩과의 접속이 간단하게 완료된다.

한편, 도 15 내지 도 18은, 반도체 베어칩과 전기적 접속을 하고자 하는 회로기판 패턴 패드 위에 접속용 솔더 범프를 형성하는 원리로서, 회로기판(7)의 패턴(6)상에 도금용 레지스트(Resist)(18)를 도포한 다음, 솔더 합금 도금층(19)을 형성하고, 상기 레지스트(18)를 제거하고 퓨징(fusing)함으로써 간단히 범프(19)를 형성한다.

### 발명의 효과

이상, 설명한 바와 같이, 본 발명에 따르면, 반도체 베어칩의 외부 전극 AI 패드에 범프를 형성하고, 도전성 접착제를 범프 위에 전사하고, 이를 회로기판에 마운팅한 후 회로기판과 반도체 칩 사이에 수지로 충전하여 전기적 접속을 시도했던 방법과는 달리, 반도체 베어 칩과 전기적 접속을 하는 회로기판 패턴 패드 위에 범프를 형성하고, 그 위에 이방성 도체 페이스트를 도포한 후, 반도체 베어 칩을마운팅한 다음, 경화함으로써 간단히 작업을 완료할 수 있어, 어레이 타입의 다핀 대응용 반도체 IC의 베어 칩 실장용으로 그 우수성이 있고, 범프형성시의 반도체 IC에 미치는 영향이 전혀 없어 고품질 달성은 물론, 비용을 대폭 절감할 수 있으며, 생산성을 극대화할 수 있다.

### (57)청구의 범위

#### 청구항1

반도체 베어 칩을 회로기판에 직접 실장하는 다이렉트 어태치 본딩 방법에 있어서,

반도체 베어칩과 전기적 접속을 하는 회로기판 패턴패드 위에 솔더범프를 형성한 후 그 위에 이방성 도체 페이스트를 도포하고, 그 위에 상기 베어칩을 마운팅하여 경화시키어, 베어 칩의 외부전극과 회로기판의 전극 패턴간의 전기적 접속을 완성하는 것을 특징으로 하는 반도체 베어 칩 다이렉트 어태치 본딩 방법.

## 청구항2

제 1 항에 있어서,

상기 이방성 도체 페이스트는, 직경이  $3\sim 10\mu\text{m}$ 의 많은 도전입자를 액체 형태의 수지에 분산시킨 구조를인 것을 특징으로 하는 반도체 베어 칩 다이렉트 어택치 본딩 방법

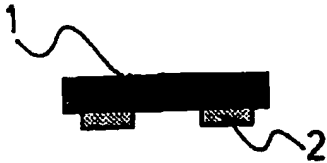
## 청구항3

제 1 항에 있어서,

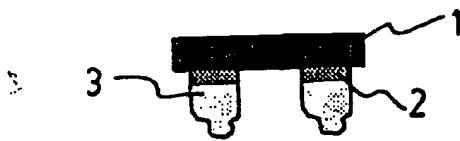
상기 솔더 범프의 형성은, 회로기판의 패턴상에 도금용 레지스트를 도포한 다음, 솔더 합금 도금층을 형성하고, 상기 레지스트를 제거하고 플러그홀로서 이루어지는 것을 특징으로 하는 반도체 베어 칩 다이렉트 어택치 본딩 방법

## 도면

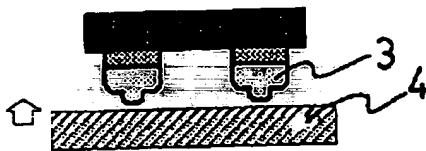
도면1



도면2



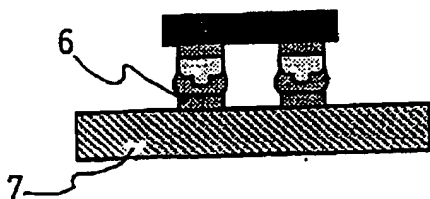
도면3



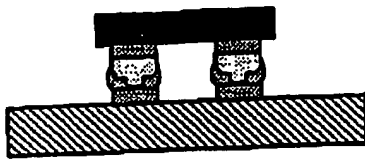
도면4



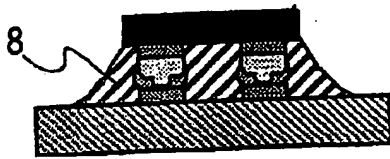
도면5



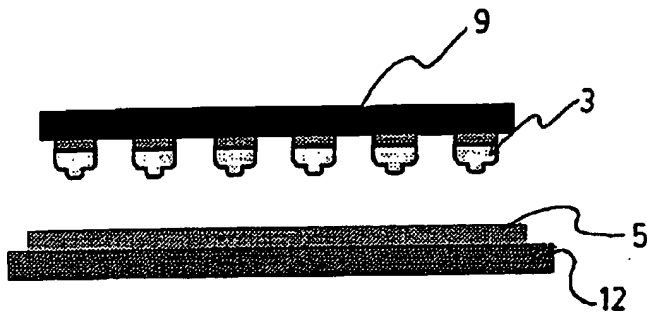
도면6



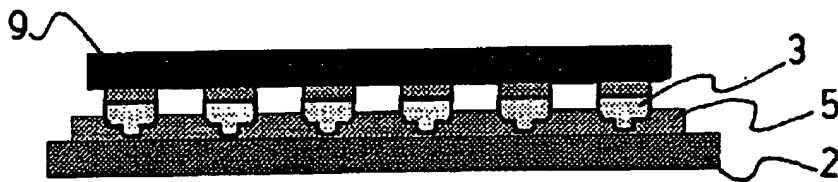
도면7



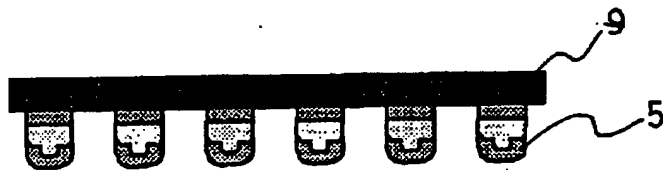
도면8



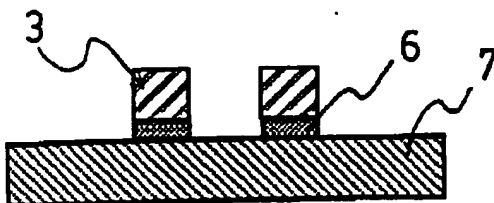
도면9



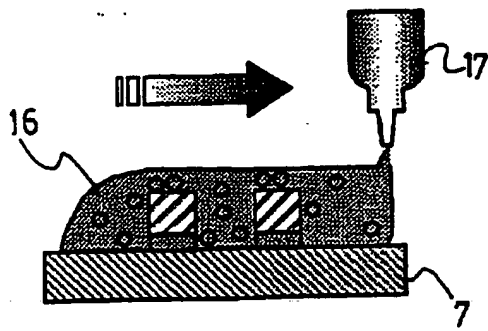
도면10



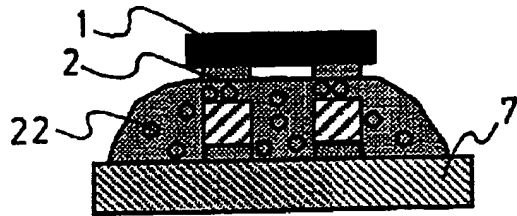
도면11



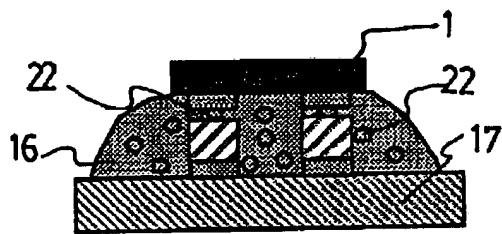
도면12



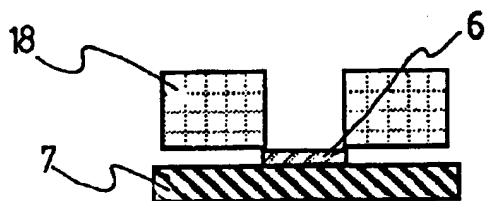
도면13



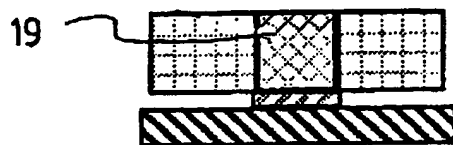
도면14



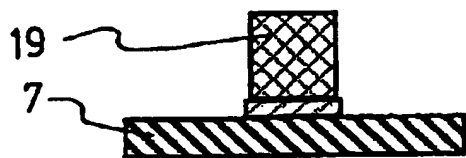
도면15



도면16



도면17



도면18

